

日本国特許  
JAPAN PATENT OFFICE

Masahiro SUZUKI, et al. q78534  
GRAY SCALE PROCESSING SYSTEM...  
Filing Date: December 17, 2003  
Darryl Mexic 202-663-7909  
2 of 2

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application: 2002年12月26日

出願番号

Application Number: 特願2002-376418

[ ST.10/C ]:

[ JP2002-376418 ]

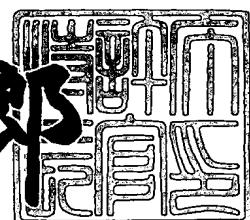
出願人

Applicant(s): パイオニア株式会社

2003年 6月30日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3051458

【書類名】 特許願

【整理番号】 57P0284

【提出日】 平成14年12月26日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/00

【発明の名称】 ディスプレイ装置

【請求項の数】 5

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア  
株式会社内

【氏名】 鈴木 雅博

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア  
株式会社内

【氏名】 上山口 潤

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア  
株式会社内

【氏名】 重田 哲也

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ディスプレイ装置

【特許請求の範囲】

【請求項1】 画素を担う複数の表示セルを備えたディスプレイの画面上に映像信号に応じた画像を表示するディスプレイ装置であって、

前記画素の複数からなる画素群毎に前記画素群内の各画素位置に対応させてディザ係数を発生するディザ係数発生手段と、

前記映像信号に基づく前記画素各々に対応した画素データに前記ディザ係数を加算してディザ加算画素データを得るディザ加算手段と、

前記画素群内の前記画素各々に対応した前記画素データによって表される輝度レベルの平均値と前記画素群内の前記画素各々に対応した前記ディザ加算画素データによって表される輝度レベルの平均値との差を平均誤差値として求める平均誤差演算手段と、

前記平均誤差値を小にすべき補正值を前記ディザ加算画素データに加算した加算結果をディザ処理画素データとして得る補正手段と、

前記ディザ処理画素データに基づいて前記ディスプレイの表示駆動を行う表示駆動手段と、を有することを特徴とするディスプレイ装置。

【請求項2】 前記補正手段は、前記平均誤差値に基づいて前記画素群内において補正すべき前記ディザ加算画素データの数を補正画素データ数として求める補正画素データ数取得手段と、

前記画素データによって表される輝度レベルと前記ディザ加算画素データによって表される輝度レベルとの差を誤差値として求める減算手段と、

前記補正画素データ数と前記誤差値とにに基づいて前記画素群内の前記画素各々に対応した前記ディザ加算画素データ各々の内から補正対象とすべきディザ加算画素データを選出する補正画素データ位置検出手段と、を含むことを特徴とする請求項1記載のディスプレイ装置。

【請求項3】 前記補正画素データ位置検出手段は、記画素群内の前記画素各々に対応した前記ディザ加算画素データの内から、前記補正画素データ数の分だけ前記誤差値の絶対値が大なるものを前記補正対象とすべきディザ加算画素デ

ータとして選出することを特徴とする請求項2記載のディスプレイ装置。

【請求項4】 前記平均誤差演算手段は、前記画素群毎の前記誤差値の平均値を前記平均誤差値として求めることを特徴とする請求項1及び2記載のディスプレイ装置。

【請求項5】 前記ディザ係数発生手段は、前記画素群内の各画素位置に対応させて発生すべき前記ディザ係数の値を前記映像信号における1フィールド表示期間毎に変更することを特徴とする請求項1記載のディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、ディザ処理回路を備えたディスプレイ装置に関する。

【0002】

【従来の技術】

映像表示を行うディスプレイ装置として、入力映像信号に多階調化処理を施すことにより擬似的に階調数を増加させる多階調化処理回路を搭載したものが知られている。

又、かかる多階調化処理として、例えば上下、左右に互いに隣接する4つの画素を1組とし、この1組の画素各々に対応した画素データに、互いに異なる係数値からなる4つのディザ係数a～dを加算するディザ処理が知られている。例えば、4つの画素の内の左上の画素に対応した画素データにディザ係数a、右上の画素に対応した画素データにディザ係数b、左下の画素に対応した画素データにディザ係数c、右下の画素に対応した画素データにディザ係数dを夫々加算する。ところが、上述した如き対応関係にて、1画面分の画素データに対してディザ係数a～dを繰り返し加算すると、これらディザ係数a～dに対応した疑似模様が視覚される、いわゆるディザノイズが発生する場合があった。

【0003】

そこで、互いに隣接した4つの画素各々に対応した画素データに加算すべきディザ係数a～dの割り当てを、入力映像信号における各フィールド毎に変更するようにしたディザ処理方法が提案された（例えば、特許文献1参照）。

しかしながら、このような方法でディザ加算を行うと、各フィールド毎に画面全体の平均輝度レベルが変動してしまう可能性があり、フリッカが発生するという問題が生じる。

【0004】

【特許文献1】

特開2001-312244号公報(図8)

【0005】

【発明が解決しようとする課題】

本発明は、上記の問題を解決するためになされたものであり、フリッカ及びディザノイズを生じさせることなく入力映像信号にディザ処理を施すことが可能なディザ処理回路を備えたディスプレイ装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

請求項1記載によるディスプレイ装置は、画素を担う複数の表示セルを備えたディスプレイの画面上に映像信号に応じた画像を表示するディスプレイ装置であって、前記画素の複数からなる画素群毎に前記画素群内の各画素位置に対応させてディザ係数を発生するディザ係数発生手段と、前記映像信号に基づく前記画素各々に対応した画素データに前記ディザ係数を加算してディザ加算画素データを得るディザ加算手段と、前記画素群内の前記画素各々に対応した前記画素データによって表される輝度レベルの平均値と前記画素群内の前記画素各々に対応した前記ディザ加算画素データによって表される輝度レベルの平均値との差を平均誤差値として求める平均誤差演算手段と、前記平均誤差値を小にすべき補正值を前記ディザ加算画素データに加算した加算結果をディザ処理画素データとして得る補正手段と、前記ディザ処理画素データに基づいて前記ディスプレイの表示駆動を行う表示駆動手段と、を有する。

【0007】

【発明の実施の形態】

以下、本発明の実施例を図を参照しつつ説明する。

図1は、本発明によるディスプレイ装置の概略構成を示す図である。

図1においては、画素データ変換回路1は、入力映像信号を各画素毎の例えは8ビットの画素データPDに変換してこれをディザ処理回路2に供給する。ディザ処理回路2は、画素データPDに対してディザ処理（後述する）を施して得られたディザ処理画素データDPDを表示駆動回路3に供給する。表示駆動回路3は、ディザ処理画素データDPDに基づき、表示デバイス4を表示駆動すべき各種駆動信号を発生してこの表示デバイス4に供給する。表示デバイス4は、例えはCRT、プラズマディスプレイパネル、液晶パネル、エレクトロルミネッセンスディスプレイパネル等からなり、上記表示駆動回路3から供給された駆動信号に応じて上記入力映像信号に対応した画像を表示する。

#### 【0008】

図2は、上記ディザ処理回路2の内部構成を示す図である。

図2において、メモリ21は、画素データ変換回路1から供給された画素データPDを取り込み、これを図3に示す如く、表示デバイス4の画面（n行×m列）の各画素位置に対応づけして記憶する。メモリ21は、1画面分の画素データPD<sub>1,1</sub>～PD<sub>n,m</sub>の記憶が完了すると、N行×M列の画素ブロック毎に、その画素ブロック内の画素各々に対応した画素データPDを順次読み出して加算器22及び減算器23各々に供給する。例えは、かかる画素ブロックが4行×4列である場合、メモリ21は、先ず、図3において太線にて囲まれた画素ブロックG1に属する画素データPD<sub>1,1</sub>～PD<sub>1,4</sub>、PD<sub>2,1</sub>～PD<sub>2,4</sub>、PD<sub>3,1</sub>～PD<sub>3,4</sub>、PD<sub>4,1</sub>～PD<sub>4,4</sub>を順次読み出し、次に、画素ブロックG2に属する画素データPD<sub>1,5</sub>～PD<sub>1,8</sub>、PD<sub>2,5</sub>～PD<sub>2,8</sub>、PD<sub>3,5</sub>～PD<sub>3,8</sub>、PD<sub>4,5</sub>～PD<sub>4,8</sub>を順次読み出すのである。

#### 【0009】

ディザ係数発生回路24は、N行×M列の画素ブロック内の各画素位置に対応させて、互いに異なる値を有する（N×M）個のディザ係数A<sub>1,1</sub>～A<sub>N,M</sub>を発生し、A<sub>1,1</sub>～A<sub>1,M</sub>、A<sub>2,1</sub>～A<sub>2,M</sub>、A<sub>3,1</sub>～A<sub>3,M</sub>、…、A<sub>N,1</sub>～A<sub>N,M</sub>なる順に1つずつ加算器22に供給する。この際、ディザ係数発生回路24は、ディザ係数A<sub>1,1</sub>～A<sub>N,M</sub>各々の値を、1画面分の画素データPDが供給される度、つまり1フィールド毎に変更する。例えは、画素ブロックが4行×4列である場合、最

・初の第1フィールドでのディザ係数  $A_{1,1} \sim A_{1,4}$ 、 $A_{2,1} \sim A_{2,4}$ 、 $A_{3,1} \sim A_{3,4}$ 、 $A_{4,1} \sim A_{4,4}$  各々の値は図4 (a)、次の第2フィールドでは図4 (b)、第3フィールドでは図4 (c)、第4フィールドでは図4 (d) に推移する。尚、図4に示されているディザ係数の値は全て10進数で表してある。

## 【0010】

加算器22は、ディザ係数発生回路24から供給されたディザ係数Aと、メモリ21から読み出された画素データPDとを加算して得られた加算結果を8ビットのディザ加算画素データDAとして上位ビット抽出回路25に供給する。すなわち、加算器22は、N行×M列の画素ブロック内の画素データ  $PD_{1,1} \sim PD_{N,M}$  と上記ディザ係数  $A_{1,1} \sim A_{N,M}$  とを、各画素位置に対応したもの同士で順次加算して得られたディザ加算画素データ  $DA_{1,1} \sim DA_{N,M}$  各々を順次、上位ビット抽出回路25に供給して行くのである。

## 【0011】

上位ビット抽出回路25は、ディザ加算画素データDA中から所定の上位ビット群のみを抽出してこれを第1ディザ処理画素データDP1として減算器23及びN×Mブロックメモリ26に供給する。尚、所定の上位ビット群とは、ディザ加算画素データDA中の最上位ビットを含む連続した上位のビット群であり、そのビット数は、上記ディザ係数  $A_{1,1} \sim A_{N,M}$  各々を2進数にて表現する際に必用となる最低限のビット数に依存する。例えば、図4に示すディザ係数  $A_{1,1} \sim A_{4,4}$  は「0」～「15」(10進数表現)であるから、これらを2進数で表すには4ビット必用となる。よって、この場合、上位ビット抽出回路25は、ディザ加算画素データDA中から下位4ビットを除く残りの上位ビット群を第1ディザ処理画素データDP1とするのである。この際、第1ディザ処理画素データDP1によって表される輝度レベルは、このDP1に「16」なる輝度係数を乗算して得られる。例えば、DP1が[0, 1, 1, 0]なる4ビットデータである場合、これは輝度レベル「96」(10進数表現)を表す。

## 【0012】

減算器23は、上記第1ディザ処理画素データDP1から、メモリ21から読み出された画素データPDを減算することにより両者の差分を求め、この差分値

を輝度係数乗算回路27に供給する。すなわち、減算器23により、画素データPDによって表される輝度レベルと、これにディザ処理を施して得られた第1ディザ処理画素データDP1にて表される輝度レベルとの輝度差を求めるのである。輝度係数乗算回路27は、かかる差分値に上記画素データPDにて示される輝度レベルに対応した係数を乗算して得られた乗算結果を、画素データPDと第1ディザ処理画素データDP1との最終的な輝度差を表す誤差値GVとしてN×Mブロック平均誤差演算回路28、及びN×Mブロックメモリ30に供給する。

## 【0013】

N×Mブロックメモリ26は、上位ビット抽出回路25から供給された第1ディザ処理画素データDP1を順次記憶していく。そして、N行×M列画素ブロックに対応した第1ディザ処理画素データDP1<sub>1,1</sub>～DP1<sub>N,M</sub>各々の記憶が完了すると、N×Mブロックメモリ26は、これら第1ディザ処理画素データDP1<sub>1,1</sub>～DP1<sub>N,M</sub>各々を例えばDP1<sub>1,1</sub>～DP1<sub>1,M</sub>、DP2<sub>1,1</sub>～DP2<sub>1,M</sub>、DP3<sub>1,1</sub>～DP3<sub>1,M</sub>、…、DP<sub>N,1</sub>～DP<sub>N,M</sub>なる順に読み出して画素データ補正回路31に供給する。

## 【0014】

一方、N×Mブロックメモリ30は、輝度係数乗算回路27から供給された誤差値GVを順次記憶していく。そして、N行×M列画素ブロックに対応した誤差値GV<sub>1,1</sub>～GV<sub>N,M</sub>各々の記憶が完了すると、N×Mブロックメモリ30は、これら誤差値GV<sub>1,1</sub>～GV<sub>N,M</sub>各々を例えばGV<sub>1,1</sub>～GV<sub>1,M</sub>、GV<sub>2,1</sub>～GV<sub>2,M</sub>、GV<sub>3,1</sub>～GV<sub>3,M</sub>、…、GV<sub>N,1</sub>～GV<sub>N,M</sub>なる順に読み出して補正画素データ位置検出回路29に供給する。

## 【0015】

N×Mブロック平均誤差演算回路28は、輝度係数乗算回路27からN行×M列画素ブロックに対応した誤差値GV<sub>1,1</sub>～GV<sub>N,M</sub>が供給される度に、これらGV<sub>1,1</sub>～GV<sub>N,M</sub>の平均値を求めこれを平均誤差値AGとして補正画素データ数変換回路32に供給する。

補正画素データ数変換回路32は、平均誤差値AGを、第1ディザ処理画素データDP1を補正すべき数に変換し、その数を表す補正画素データ数CNを補正

画素データ位置検出回路29に供給する。すなわち、補正画素データ数変換回路32は、上記平均誤差値AGに基づき、N×M画素ブロック毎に補正すべき第1ディザ処理画素データDP1の数を求めるのである。この際、平均誤差値AGが大なるほど、補正画素データ数CNも大となる。

## 【0016】

補正画素データ位置検出回路29は、先ず、N×Mブロックメモリ30から供給されたN行×M列画素ブロックに対応した誤差値GV<sub>1,1</sub>～GV<sub>N,M</sub>各々の内から、その絶対値が大なる順に、上記補正画素データ数CNによって示される数だけ誤差値GVを選出する。そして、補正画素データ位置検出回路29は、この選出した誤差値GVとはN行×M列画素ブロック内での位置が同一となる誤差値GVが上記N×Mブロックメモリ30から読み出されたら、そのタイミングで補正実行を指示する論理レベル1の補正信号CDを画素データ補正回路31に供給する。尚、その他の場合には、補正画素データ位置検出回路29は、論理レベル0の補正信号CDを画素データ補正回路31に供給する。

## 【0017】

画素データ補正回路31は、論理レベル0の補正信号CDが供給された場合には、N×Mブロックメモリ26から順次読み出された第1ディザ処理画素データDP1をそのまま第2ディザ処理画素データDP2としてメモリ33に供給する。一方、論理レベル1の補正信号CDが供給された場合、画素データ補正回路31は、かかる第1ディザ処理画素データDP1を、上記N×Mブロック平均誤差演算回路28から出力され、補正画素データ位置検出回路29を介して供給される平均誤差値AGの極性を示す極性信号PVに応じた補正值にて補正し、これを第2ディザ処理画素データDP2としてメモリ33に供給する。例えば、画素データ補正回路31は、平均誤差値AGが負極性を示す場合には補正值「1」を第1ディザ処理画素データDP1に加算し、この加算結果を第2ディザ処理画素データDP2としてメモリ33に供給する。つまり、ディザ処理後の第1ディザ処理画素データDP1によるN行×M列画素ブロック内での平均輝度が、ディザ処理前の画素データPDによるN行×M列画素ブロック内での平均輝度よりも小なる場合には、これを増加させるべく第1ディザ処理画素データDP1に「1」

を加算するのである。一方、上記平均誤差値AGが正極性を示す場合には、画素データ補正回路31は、補正值「-1」を第1ディザ処理画素データDP1に加算し、この加算結果を第2ディザ処理画素データDP2としてメモリ33に供給する。つまり、ディザ処理後の第1ディザ処理画素データDP1によるN行×M列画素ブロック内での平均輝度が、ディザ処理前の画素データPDによるN行×M列画素ブロック内での平均輝度よりも大なる場合には、これを低下させるべく第1ディザ処理画素データDP1から「1」を減算するのである。

## 【0018】

メモリ33は、画素データ補正回路31からN×Mブロック毎に供給された第2ディザ処理画素データDP2各々を順次取り込み、これを表示デバイス4の画面(n行×m列)の各画素位置に対応づけして記憶する。そして、1画面分の第2ディザ処理画素データDP2が記憶される度に、メモリ33は、この第2ディザ処理画素データDP2を順次1表示ライン分ずつ読み出し、これを最終的なディザ処理画素データDPDとして上記表示駆動回路3に供給する。

## 【0019】

以下に、ディザ処理回路2の動作について、4行×4列の画素ブロック毎に画素データPDに対してディザ処理を実行する場合を例にとって説明する。

図5は、1つの画素ブロックのみを抜粋して、画素データPDと、ディザ処理後の第1ディザ処理画素データDP1及び第2ディザ処理画素データDP2各々の推移を表す図である。

## 【0020】

尚、図5においては、「104」(10進数表現)なる輝度レベルを表す画素データPDと、「0」なる輝度レベルを表す画素データPDとが4行×4列の画素ブロック内において市松模様状に現れる画像パターンを有する映像信号が入力された場合の動作を示している。

ディザ係数発生回路24は、4行×4列の画素ブロック内での割り当て位置を図5に示す如く各フィールド毎に変更しつつ「0」～「15」(10進数表現)なる16個のディザ係数を発生する。よって、4行×4列の画素ブロック内の各画素データPDと上記ディザ係数とを加算器22にて加算し、その加算結果の下

位4ビット分を除く上位ビットを抽出すると、第1～第4フィールド各々において以下の如き輝度レベルを表す第1ディザ処理画素データDP1が得られる。

## 【0021】

つまり、第1及び第2フィールド各々では、4行×4列の画素ブロック内において、図5に示す如く「96」及び「0」(10進数表現)なる輝度レベルを表す第1ディザ処理画素データDP1が得られる。例えば第1フィールドにおける第1行第1列の画素データPDは「104」であるのでこれに第1行第1列のディザ係数「0」を加算しても「104」である。この「104」を8ビットの2進数で表すと[0, 1, 1, 0, 1, 0, 0, 0]となり、その下位4ビット分を除く上位ビットは[0, 1, 1, 0]となる。すなわち、輝度レベル「96」を表す[0, 1, 1, 0]なる第1ディザ処理画素データDP1が得られるのである。又、第1フィールドにおける第1行第2列の画素データPDは「0」であるのでこれに第1行第2列のディザ係数「8」を加算すると「8」になる。この「8」を8ビットの2進数で表すと[0, 0, 0, 0, 1, 0, 0, 0]であるので、その下位4ビット分を除く上位4ビットは[0, 0, 0, 0]となる。すなわち、輝度レベル「0」を表す[0, 0, 0, 0]なる第1ディザ処理画素データDP1が得られるのである。この際、4行×4列の画素ブロック内の第1ディザ処理画素データDP1各々によって表される平均値は「48」である。

## 【0022】

一方、第3及び第4フィールド各々では、4行×4列の画素ブロック内において、図5に示す如く「112」及び「0」(10進数表現)なる輝度レベルを表す第1ディザ処理画素データDP1が得られる。例えば第3フィールドにおける第1行第1列の画素データPDは「104」であるのでこれに第1行第1列のディザ係数「15」を加算すると「119」となる。この「119」を8ビットの2進数で表すと[0, 1, 1, 1, 0, 1, 1, 1]となり、その下位4ビット分を除く上位ビットは[0, 1, 1, 1]となる。すなわち、輝度レベル「112」を表す[0, 1, 1, 1]なる第1ディザ処理画素データDP1が得られるのである。又、第3フィールドにおける第1行第2列の画素データPDは「0」であるのでこれに第1行第2列のディザ係数「7」を加算すると「7」になる。

この「7」を8ビットの2進数で表すと[0, 0, 0, 0, 0, 1, 1, 0]である。その下位4ビット分を除く上位4ビットは[0, 0, 0, 0]となる。すなわち、輝度レベル「0」を表す[0, 0, 0, 0]なる第1ディザ処理画素データDP1が得られるのである。この際、4行×4列の画素ブロック内の第1ディザ処理画素データDP1各々によって表される平均値は「56」である。

## 【0023】

よって、仮に第1ディザ処理画素データDP1を用いて画像表示を行うと、第1及び第2フィールド各々での平均輝度が「48」、第3及び第4フィールド各々での平均輝度が「56」となる。従って、第1～第4フィールドを通して平均輝度が変動することになるのでフリッカが発生する。

そこで、図2に示す如き減算器23、N×Mブロックメモリ26及び30、N×Mブロック平均誤差演算回路28、補正画素データ位置検出回路29、画素データ補正回路31及び補正画素データ数変換回路32によってフリッカを防止する。

## 【0024】

すなわち、先ず、N行×M列画素ブロック内の各画素データPDと、その画素位置に対応した上記第1ディザ処理画素データDP1との差を誤差値GVとして求める。次に、N行×M列画素ブロック内での誤差値GVの平均を平均誤差値AVとして求める。次に、この平均誤差値AVに基づいてN行×M列画素ブロック内において補正すべき第1ディザ処理画素データDP1の数を補正画素データ数CNとして求める。次に、N行×M列画素ブロック内の第1ディザ処理画素データDP1各々の内から、そのDP1に基づいて求められた誤差値GVの絶対値が大なる順に補正画素データ数CNにて示される個数だけ、補正対象とすべき第1ディザ処理画素データDP1を選出する。そして、選出した第1ディザ処理画素データDP1に、このDP1に基づいて求められた平均誤差値AGの極性に対応した補正值を加算することにより第2ディザ処理画素データDP2を生成し、これを最終的なディザ処理画素データとして出力するのである。

## 【0025】

上記動作によれば、例えば図5に示す第1及び第2フィールドでは、画素ブロ

ック内の第1ディザ処理画素データDP1各々の平均値が「48」、画素データPD各々の平均値が「52」となるので、両者の差に対応した「4」個だけ、太線にて囲まれた位置に割り当てられた第1ディザ処理画素データDP1各々が補正される。つまり、第1及び第2フィールドでは、輝度レベル「96」を示す第1ディザ処理画素データDP1と、輝度レベル「104」を示す画素データPDとの誤差が最も大となるので、「96」を示す第1ディザ処理画素データDP1各々の内の4つだけが補正されるのである。この際、画素データPDに比して第1ディザ処理画素データDP1の方が小となるので、輝度レベル「96」を表す[0, 1, 1, 0]なる第1ディザ処理画素データDP1に補正值「1」が加算されて、輝度レベル「112」を表す[0, 1, 1, 1]なる第2ディザ処理画素データDP2に補正される。かかる補正の結果、第1及び第2フィールド各々での画素ブロック内における第2ディザ処理画素データDP2各々の平均値は「52」となる。又、図5に示す第3及び第4フィールドでは、画素ブロック内の画素データPD各々の平均値が「52」、第1ディザ処理画素データDP1各々の平均値が「56」となるので、両者の差である4個だけ、太線にて囲まれた位置に割り当てられた第1ディザ処理画素データDP1各々が補正される。つまり、第3及び第4フィールドでは、「112」を示す第1ディザ処理画素データDP1と、「104」を示す画素データPDとの誤差が最も大となるので、「112」を示す第1ディザ処理画素データDP1各々の内の4つだけが補正されるのである。この際、画素データPDに比して第1ディザ処理画素データDP1の方が大となるので、この第1ディザ処理画素データDP1から補正值「1」が減算されて、輝度レベル「96」を表す[0, 1, 1, 0]なる第2ディザ処理画素データDP2に補正される。かかる補正の結果、第3及び第4フィールド各々での画素ブロック内における第2ディザ処理画素データDP2各々の平均値は「52」となる。

## 【0026】

従って、第1フィールド～第4フィールドを通して画素ブロック内の第2ディザ処理画素データDP2各々の平均値が「52」に保持されるので、フリッカが生じない。

以上の如く、図2に示すディザ処理回路2では、ディザ処理後の画素データ（D P 1）の平均値がディザ処理前の画素データ（P D）の平均値と等しくなるように、上記ディザ処理後の画素データを補正するのである。これにより、ディザノイズを低減すべくN行×M列画素ブロック内でのディザ係数の割り当てをフィールド毎に変更しても、フリッカの発生が抑制された良好な画像表示がなされるようになる。

【図面の簡単な説明】

【図1】

ディザ処理回路を搭載したディスプレイ装置の概略構成を示す図である。

【図2】

図1に示されるディザ処理回路2の構成を示す図である。

【図3】

4行×4列画素ブロックと、画素データP Dとの対応関係を示す図である。

【図4】

4行×4列画素ブロック内でのディザ係数の割り当ての一例を示す図である。

【図5】

画素データP Dに基づいて生成された第1ディザ処理画素データD P 1及び第2ディザ処理画素データD P 2の一例を示す図である。

【主要部分の符号の説明】

2 ディザ処理回路

2 2 加算器

2 3 減算器

2 4 ディザ係数発生回路

2 5 上位ビット抽出回路

2 8 N×Mブロック平均誤差演算回路

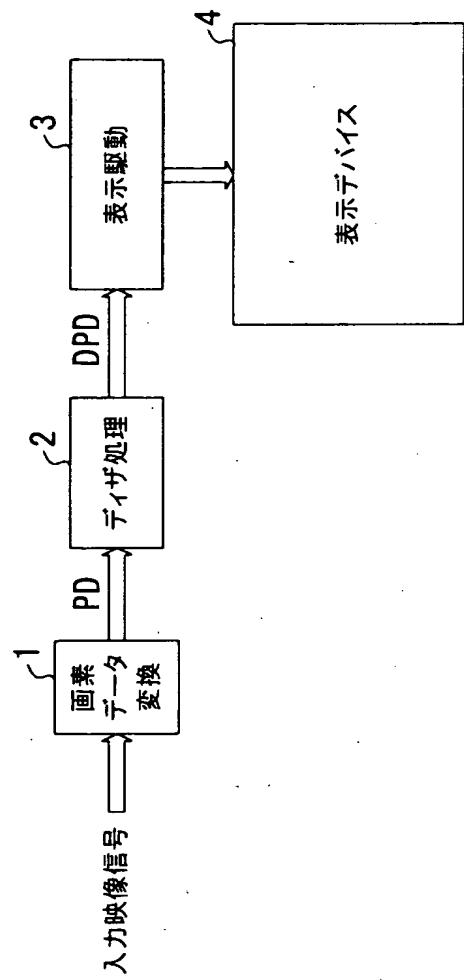
2 9 補正画素データ位置検出回路

3 1 画素データ補正回路

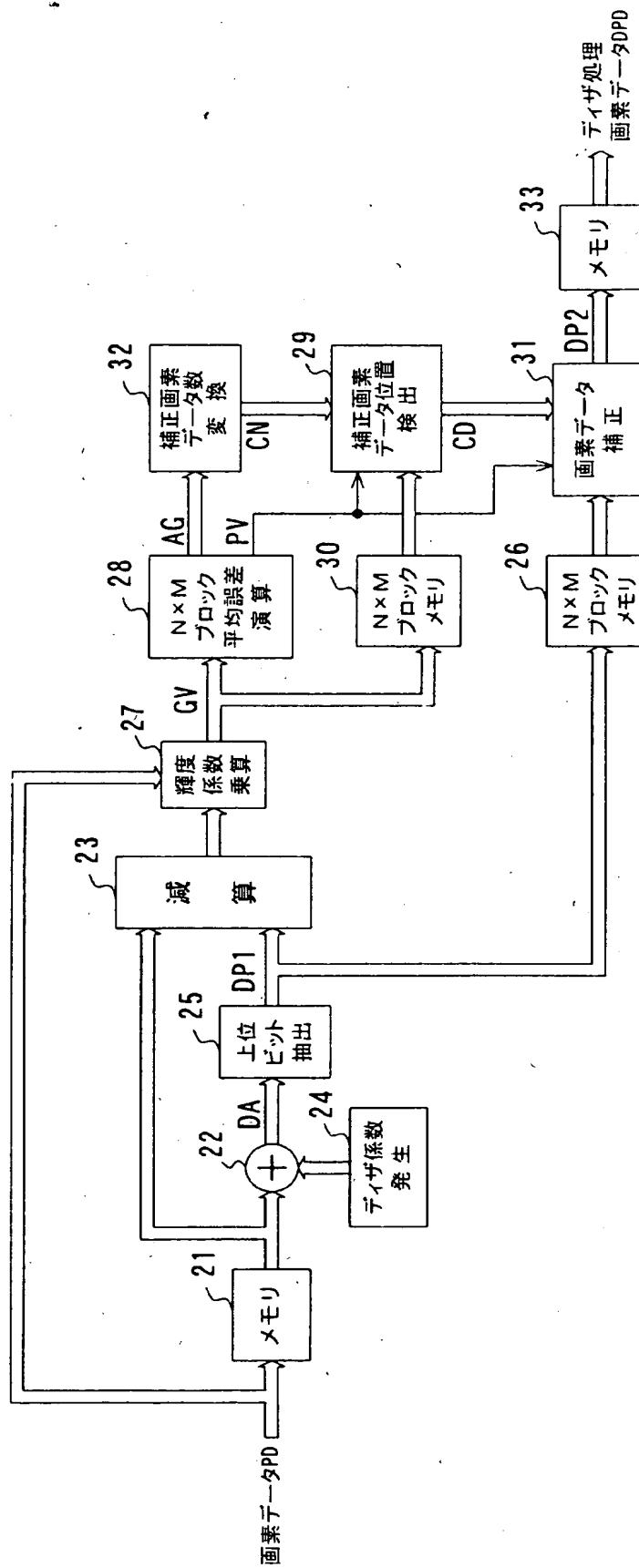
3 2 補正画素データ数変換回路

【書類名】 図面

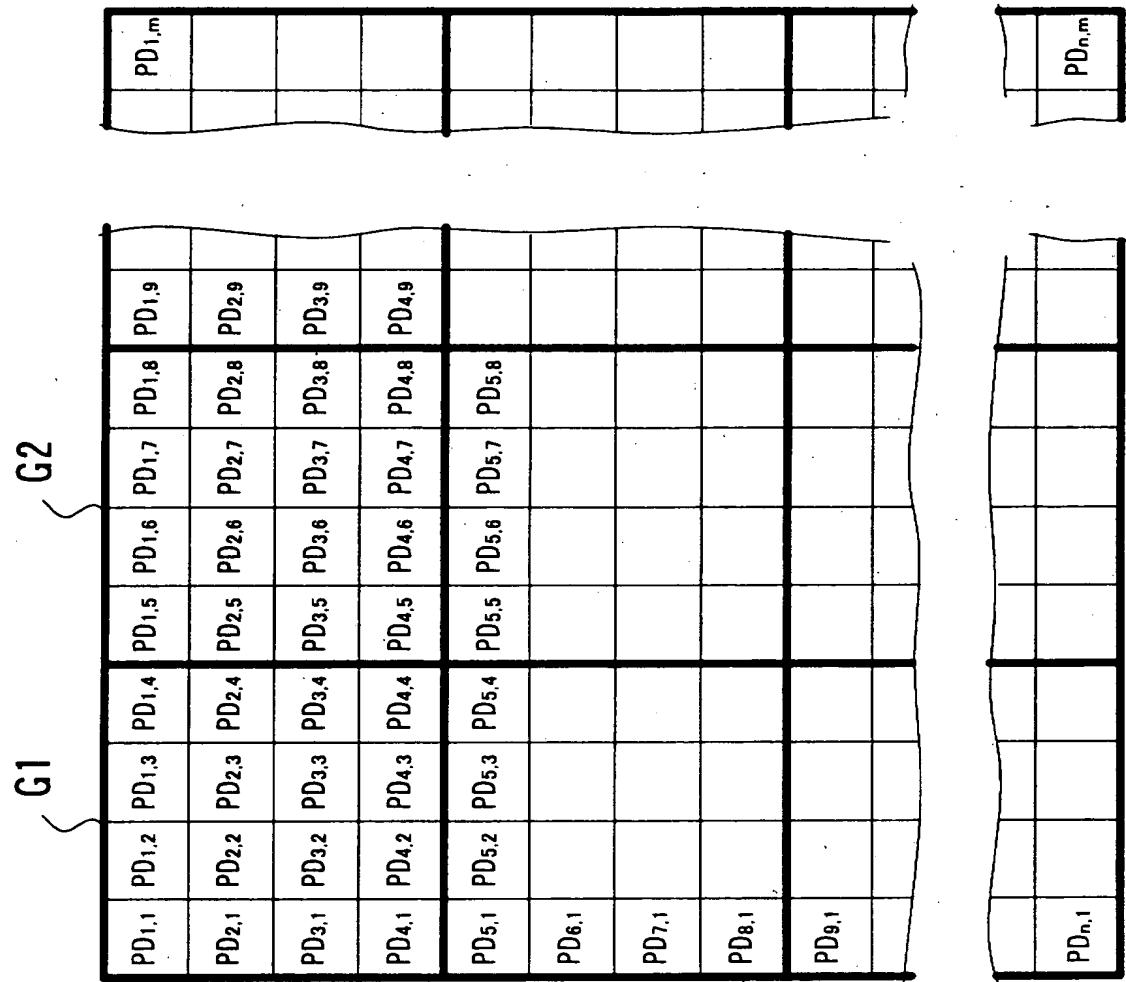
【図1】



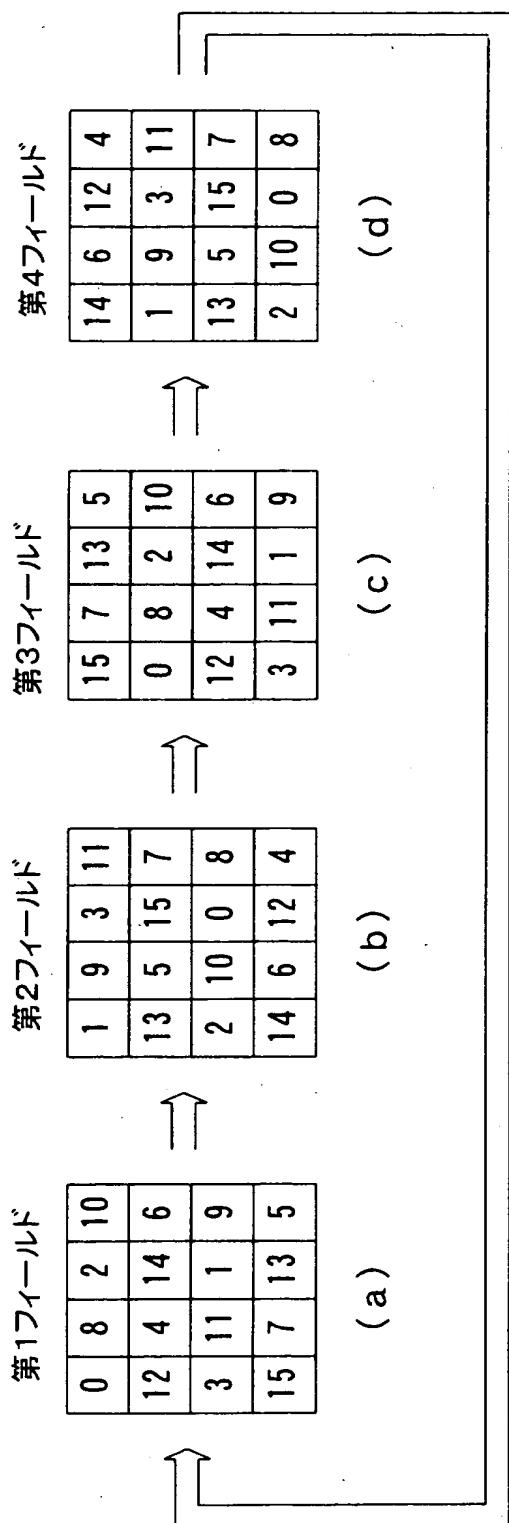
【図2】



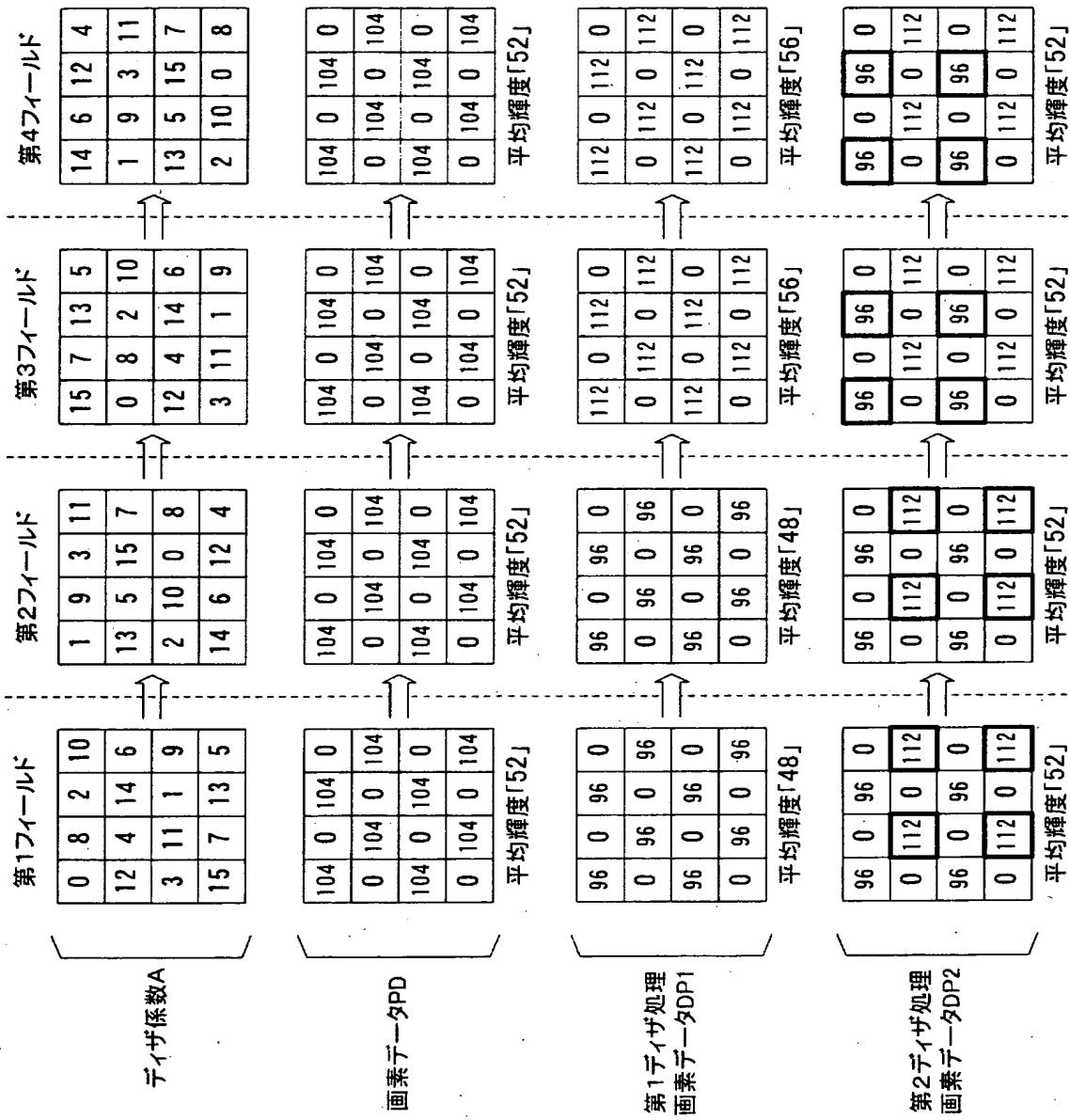
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【目的】 フリッカ及びディザノイズを生じさせることなく入力映像信号にディザ処理を施すことが可能なディザ処理回路を備えたディスプレイ装置を提供することを目的とする。

【解決手段】 画素群内の画素各々に対応した画素データによって表される輝度レベルの平均値と、この画素群内の画素各々に対応したディザ加算画素データによって表される輝度レベルの平均値との差（平均誤差値）を小にすべき補正値を上記ディザ加算画素データに加算して補正する。これにより、例えディザノイズを低減すべく画素群内でのディザ係数の割り当てをフィールド毎に変更しても、フリッカの発生が抑制された良好な画像表示がなされるようになる。

【選択図】 図2

出願人履歴情報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都目黒区目黒1丁目4番1号

氏 名 パイオニア株式会社